

Estudio comparativo de referencias de tensión independientes de la alimentación

María Isabel Schiavon, Daniel Crepaldo, Carlos Varela, Eduardo Bailón

Rosario, Argentina - FCEIA - UNR
 bambi@fceia.unr.edu.ar, crepaldo@fceia.unr.edu.ar
 charlyv@fceia.unr.edu.ar, ebailon@fceia.unr.edu.ar.

Resumen—En el presente trabajo se comparan dos circuitos que permiten obtener una referencia de tensión independiente de la tensión de alimentación con bajo consumo. Uno de ellos, un circuito clásico que aparece comúnmente en la bibliografía, utiliza el transistor bipolar vertical disponible en algunas tecnologías CMOS conectado como diodo (colector y base al mismo potencial) donde la juntura base emisor polarizada directamente determina la tensión de referencia. El otro es una nueva topología propuesta que utiliza exclusivamente transistores MOS. Se incluyen los análisis teóricos que justifican el comportamiento, se realiza un análisis comparativo de los circuitos en cuanto al valor de la tensión de referencia, su independencia de las variaciones de la alimentación y de los parámetros tecnológicos para distintas dimensiones de los transistores. El diseño e implementación se realizó en tecnología cmos amis 0,5 disponible a través del programa MOSIS.

Palabras Claves; referencia de tensión; independencia alimentación; bajo consumo.

I. INTRODUCCIÓN

Se presentan dos circuitos de bajo consumo, menor al μA , que permiten obtener una referencia de tensión independiente de la tensión de alimentación. Uno de ellos, un circuito clásico que aparece comúnmente en la bibliografía, utiliza el transistor bipolar vertical disponible en algunas tecnologías CMOS conectado como diodo (colector y base al mismo potencial) donde la juntura base emisor polarizada directamente determina la tensión de referencia. El otro es una propuesta de topología innovadora que utiliza exclusivamente transistores MOS. Se incluyen los análisis teóricos que fundamentan el comportamiento, y se realiza un análisis comparativo del valor de la tensión de referencia su dependencia de variaciones de la alimentación y de los parámetros tecnológicos para distintas dimensiones de los transistores. El diseño e implementación se realizó en tecnología CMOS AMIS 0,5 disponible a través del programa MOSIS.

II. FUNDAMENTACIÓN

A continuación se analizan los dos circuitos implementados:

A. Referencia con transistor bipolar

En la figura 1 se muestra el circuito que utiliza como referencia la tensión base emisor de un transistor bipolar vertical disponible en tecnología CMOS [1].

$$V_{BE} = V_{ref} \quad (1)$$

Es una topología clásica, simple y compacta que está compuesta por 4 transistores MOS, dos canal P (M2, M3) y dos canal N (M1, M4) y Qr es el transistor bipolar vertical disponible en tecnología CMOS.

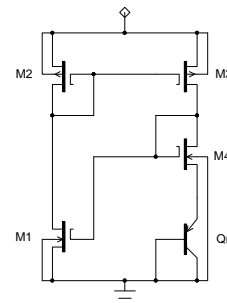


Figura 1: Referencia de tensión con BJT

Para tensiones de alimentación mayores a 2V, el circuito se diseña para que los transistores MOS trabajen en inversión fuerte en zona de saturación del canal de manera que su corriente puede modelarse con la siguiente expresión [2]:

$$I_D \approx \mu \frac{\epsilon_{ox}}{t_{ox}} \frac{W}{L} (v_{GS} - V_T)^2 (1 + \lambda v_{DS}) \approx K_T \frac{W}{L} (v_{GS} - V_T)^2 \quad (2)$$

Los transistores M2 y M4 funcionan con sus puertas conectadas a sus drenajes autopolarizados en zona de corriente constante. M1 es el responsable de fijar la corriente del circuito y su tensión puerta-fuente queda determinada por la tensión puerta-fuente (drenaje-fuente) de M4 y la tensión de referencia.

$$V_{GS1} = V_{DS4} + V_{BE} = V_{GS4} + V_{BE} = V_{GS4} + V_{ref} \quad (3)$$

Los transistores M2 y M3 forman un espejo de corriente y la corriente de M3 funcionando en inversión fuerte en la zona de saturación del canal queda determinada exclusivamente por la relación de sus tamaños. El transistor bipolar, Q_r , trabaja en zona activa con el colector conectado a la base ($V_{BC}=0$), y su corriente de emisor queda determinada por la corriente de M3:

$$I_{e1} = I_{EO} e^{\frac{V_{BE}}{\eta V_T}} = I_{EO} e^{\frac{V_{ref}}{\eta V_T}} = I_{D3} = I_{D4} \quad (4)$$

Las corrientes por los transistores M1 y M4 quedan expresadas por:

$$I_{D1} = K_{TN} \frac{W_1}{L_1} (v_{GS1} - V_{TN})^2 = K_{TN} \frac{W_1}{L_1} (v_{GS4} + V_{ref} - V_{TN})^2 \quad (5)$$

$$I_{D4} = K_{TN} \frac{W_4}{L_4} (v_{GS4} - V_{TN})^2$$

La corriente que circula por las ramas depende fundamentalmente de las dimensiones relativas de los MOS, su relación queda determinada por los tamaños relativos de M2 y M3, si como en este caso se adoptan iguales las corrientes por las ramas deberían ser aproximadamente iguales.

$$I_{D4} = I_{D3} = I_{D2} \frac{\frac{W_3}{L_3}}{\frac{W_2}{L_2}} \frac{I + \lambda v_{D3}}{I + \lambda v_{D2}} \approx I_{D2} = I_{D1} \quad (6)$$

En consecuencia la tensión de puerta fuente de M4 (V_{GS4}) resulta:

$$V_{GS4} = \frac{V_{ref} + \left(\sqrt{\frac{W_4 L_1}{L_4 W_1}} - I \right) V_{TN}}{\left(\sqrt{\frac{W_4 L_1}{L_4 W_1}} - I \right)} = \frac{V_{ref}}{\left(\sqrt{\frac{W_4 L_1}{L_4 W_1}} - I \right)} + V_{TN} \quad (7)$$

Dado que las corrientes por las dos ramas deberían ser aproximadamente iguales, el circuito se estabiliza en el valor de V_{ref} que cumple con esta condición:

$$I_e = I_{D4} \approx I_{D1} \quad (8)$$

$$I_{EO} e^{\frac{V_{ref}}{\eta V_T}} = K_{TN} \frac{W_4}{L_4} (v_{GS4} - V_{TN})^2 \quad (9)$$

Teniendo en cuenta que:

$$V_{GS4} = \frac{V_{ref}}{\left(\sqrt{\frac{W_4 L_1}{L_4 W_1}} - I \right)} + V_{TN}$$

$$I_{EO} e^{\frac{V_{ref}}{\eta V_T}} = K_{TN} \frac{V_{ref}^2}{\left(\sqrt{\frac{L_1}{W_1}} - \sqrt{\frac{L_4}{W_4}} \right)^2} \quad (10)$$

La tensión de referencia depende de las características del transistor bipolar y el valor de la corriente, resultando muy leve la incidencia del valor de la tensión de alimentación.

B. Referencia con transistores MOS

El circuito propuesto está íntegramente compuesto por transistores MOS, cuyo adecuado diseño permite obtener distintos valores de tensión de referencia, en particular se concibió para obtener una tensión de referencia de valor próximo a la tensión umbral (V_T) de los transistores NMOS [3]. La topología del circuito se presenta en la figura 2.

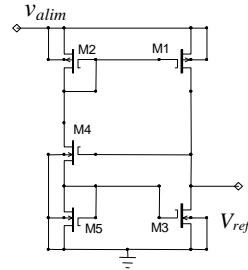


Figura 2: Referencia de tensión MOS

La tensión drenaje fuente del transistor M3 se estabiliza en un valor que depende de las dimensiones relativas de los transistores y es prácticamente independiente de la tensión de alimentación. Para asegurar una tensión de referencia que se estabilice en un valor próximo a la tensión de arranque de los transistores N (V_{TN}), el diseño se realiza para que todos los transistores NMOS trabajen en inversión débil en zona de saturación del canal. En inversión débil el funcionamiento en la zona de saturación del canal está asegurado para tensiones de drenaje fuente mayores que 100mV, con independencia del valor de V_{GS} .

La tensión de referencia queda fijada por la tensión puerta-fuente de M4 y la tensión puerta-fuente de M5, ambas dependientes de las dimensiones relativas de los transistores, en un valor próximo a la tensión umbral de los transistores NMOS.

$$V_{GS5} + V_{GS4} = V_{DS3} = V_{ref} \quad (11)$$

La expresión de la corriente para transistores funcionando en zona subumbral de saturación del canal resultan [4]:

$$I_D \approx I_o \frac{W}{L} e^{\frac{\kappa V_G}{U_T}} \left(e^{\frac{-V_S}{U_T}} - e^{\frac{-V_D}{U_T}} \right) = I_o \frac{W}{L} e^{\frac{\kappa V_G - V_S}{U_T}} \left(1 - e^{\frac{-V_{DS}}{U_T}} \right) \quad (12)$$

Donde $U_T = kT/q$ es el voltaje térmico,

I_o es una constante que depende de la tecnología,

κ es el coeficiente de acople de puerta que puede ser considerado constante si bien tiene una ligera dependencia de la tensión de puerta y del tipo de portadores:

$$\kappa = \frac{C_{OX}}{C_{OX} + C_{dep}} \text{ procesos submicrónicos } \kappa < 0,7$$

En zona de saturación del canal esta expresión se reduce a:

$$I_D \approx I_o \frac{W}{L} e^{\frac{\kappa V_G - V_S}{U_T}} \text{ pues } V_{DS} > 4U_T \quad (13)$$

$$I_{D4} = I_{D5} = I_{D2} \quad (14)$$

$$I_{D4} \approx I_{oN} \frac{W_4}{L_4} e^{\frac{\kappa_N V_{G4} - V_{S4}}{U_T}} \quad (15)$$

M5 funciona con $V_{GS} = V_{DS}$:

$$I_{D5} \approx I_{oN} \frac{W_5}{L_5} e^{\frac{\kappa_N V_{GS} - V_{S5}}{U_T}} = I_{oN} \frac{W_5}{L_5} e^{\frac{\kappa_N V_{DS} - V_{S5}}{U_T}} = I_{D4} \quad (16)$$

$$I_{D4} = I_{oN} \frac{W_4}{L_4} e^{\frac{\kappa_N V_{G4} - V_{S4}}{U_T}} = I_{oN} \frac{W_4}{L_4} e^{\frac{\kappa_N V_{ref} - V_{GS}}{U_T}} \quad (17)$$

En consecuencia:

$$\frac{W_5}{L_5} e^{\frac{\kappa_N V_{GS}}{U_T}} = \frac{W_4}{L_4} e^{\frac{\kappa_N V_{ref} - V_{GS}}{U_T}} \quad (18)$$

La tensión de referencia queda determinada por:

$$V_{ref} = V_{GS} \left(\ln \frac{W_5 L_4}{L_5 W_4} + \frac{1}{\kappa_N} \right) \quad (19)$$

Los transistores PMOS (M1≡M2) deben estar apareados si se desea asegurar la igualdad de corriente en ambas ramas.

$$Si \ M1 \equiv M2 \Rightarrow I_{D1} = I_{D2} \quad (20)$$

$$I_{D1,2} \approx I_{oP} \frac{W_1}{L_1} e^{\frac{\kappa_P V_{G1} - V_{a1im}}{U_T}} \quad (21)$$

Para dimensionar los transistores P se tiene en cuenta el valor mínimo de tensión V_{DS} de los transistores M5 y M4 que asegura funcionamiento en zona de saturación del canal en inversión débil (aproximadamente 100mV), la tensión de alimentación y el consumo que se admite, en función de estos parámetros se adoptó una puerta-fuente, cuyo valor máximo se acotó en:

$$V_{GS1} \equiv V_{GS2} \leq V_{a1im} - 200mV \quad (22)$$

Para tensiones de alimentación mayores que 1V estos transistores pueden trabajar también en inversión fuerte. En estas condiciones la corriente queda determinada por:

$$I_{D1,2} \approx K_{TrecP} \frac{W_1}{L_1} (V_{GSP} - V_{TP})^2 \quad (23)$$

Adoptada la zona de funcionamiento del transistor y fijado el valor de la corriente se eligen los valores de W_1 y L_1 para una tecnología dada.

III. IMPLEMENTACIÓN DE LOS CIRCUITOS.

Los circuitos se implementaron con tecnología AMIS C5N 0,5 μ . Utilizando las expresiones del apartado anterior se obtuvieron valores preliminares para el tamaño de los transistores, los cuales fueron ajustados mediante simulación hasta obtener el valor de tensión de referencia deseado manteniendo el consumo del circuito por debajo de 1 uA. Los resultados obtenidos para cada circuito se detallan a continuación

A. Diseño de la referencia con transistor bipolar

En este circuito el valor de la tensión de referencia depende directamente de las características del transistor bipolar. En la tecnología adoptada se dispone de un transistor bipolar vertical de tamaño 20 x 20 μ m cuya característica corriente-tensión, obtenida mediante simulación realizada en ICAP/4 Rx, se muestra en la figura 3.

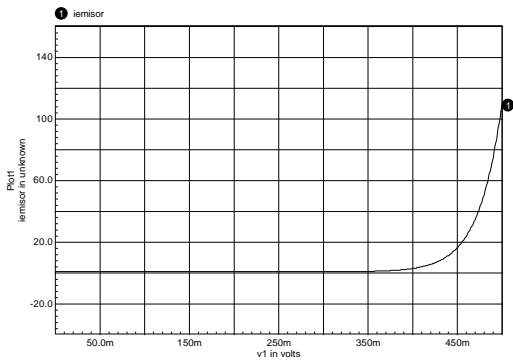


Fig. 3: Característica corriente-tensión del transistor vertical

Se desprende de esta característica que para obtener una caída de tensión en la juntura base-emisor del orden de 500mV la corriente debe trepar a valores muy altos (> 10A). En la figura 4 se observa el detalle de una porción de esta curva, que corresponde a los valores de corriente que se pretenden para poder incluir esta topología en un circuito de bajo consumo.

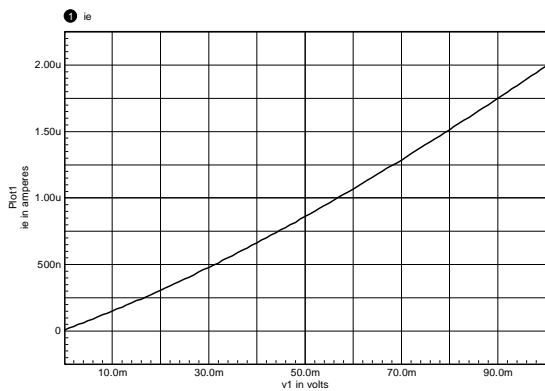


Fig. 4: Detalle de la curva característica transistor vertical para corrientes del orden del μA

El valor de tensión de referencia que se obtiene para circuitos de bajo consumo (corrientes del orden o menores al μA) construidos con esta tecnología no supera los 100mV. Los tamaños de los transistores fueron ajustados para una corriente de un valor en el orden del μA tratando de maximizar el valor de la tensión de referencia. Estos tamaños se indican en la tabla I, mientras que en la gráfica de la figura 5 se observa el comportamiento del circuito ante una variación de la tensión de alimentación entre 4 y 6 voltios.

TABLA I TAMAÑO TRANSISTORES REFERENCIA CON BIPOLAR

TRANSISTOR	TIPO	L (μm)	W (μm)
M1	N	22.3	20
M2 \equiv M3	P	1.95	1.95
M4	N	20	32.4

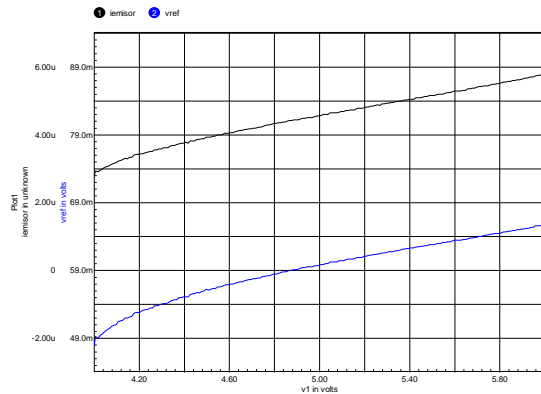


Fig. 5: Corriente de emisor del BJT y tensión de referencia en función de la tensión de alimentación.

B. Diseño de referencia con transistores MOS

En la figura 6 se muestra la respuesta del circuito de la figura 2 con los transistores dimensionados para obtener una tensión de referencia de aproximadamente 300mV.

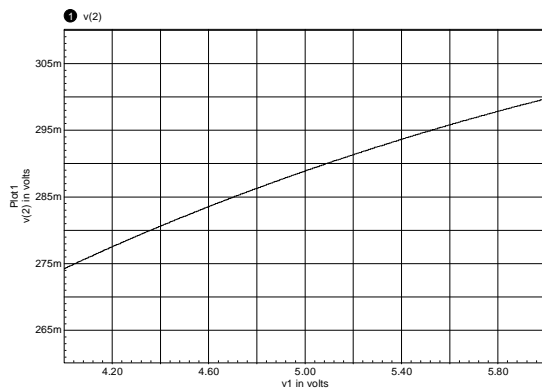


Fig. 6: Respuesta del circuito con transistores MOS para bajos niveles de tensión de referencia.

Las dimensiones utilizadas para los transistores se detallan en la tabla II. Nótese que para lograr este cometido fue necesario llevar algunas de las dimensiones de los transistores a 300 μm .

TABLA II TAMAÑO TRANSISTORES REFERENCIA MOS PARA $V_{REF}=300\text{mV}$

TRANSISTOR	TIPO	L (μm)	W (μm)
M1 \equiv M2	P	2	5
M3	N	2	300
M4	N	2	300
M5	N	10	2

En este circuito el valor de la tensión de referencia es la suma de dos tensiones puerta-fuente, en consecuencia, resulta poco práctico para obtener valores de tensión de referencia de valores inferiores a la tensión umbral de los transistores.

A continuación se presentan los resultados obtenidos dimensionando los transistores para obtener una tensión de referencia del orden de la tensión de umbral de los transistores MOS manteniendo el consumo de corriente por debajo del μA .

En la tabla III se resumen los tamaños de los transistores obtenidos una vez realizados los ajustes necesarios para lograr la máxima independencia posible del valor de la referencia respecto de la tensión de alimentación.

TABLA III TAMAÑO TRANSISTORES REFERENCIA MOS

TRANSISTOR	TIPO	L (μm)	W (μm)
M1 \equiv M2	P	2	5
M3	N	2	2
M4	N	2	2
M5	N	10	2

En la figura 7 se pueden observar los valores de corriente y de tensión de referencia en función de la alimentación obtenidos por simulación.

A fin de obtener resultados experimentales y validar los criterios aplicados en el diseño se realizaron los layouts de ambos circuitos los cuales están en proceso de fabricación en la fundición. En la figura 8 se muestran los layouts correspondientes a los dos circuitos analizados realizados en tecnología AMIS C5N. Se observa que en el caso de la referencia de tensión con bipolar el tamaño del circuito está determinado fundamentalmente por el tamaño de dicho dispositivo, mientras que la referencia implementada únicamente con transistores MOS requiere un área de silicio mucho menor.

El área ocupada por los respectivos circuitos y las tensiones de referencia correspondientes se muestra en la tabla IV.

TABLA IV AREA DE SILICIO OCUPADA

Circuito	Area (μm^2)	$V_{ref} @ V_{alim}=5V$
Referencia con BJT	5072	60mV
Referencia con MOS	850	1,11V

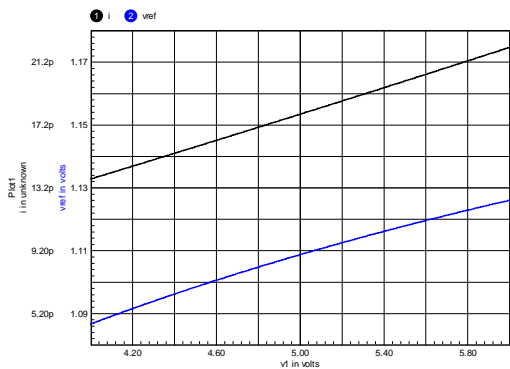


Fig. 7: Corriente y tensión de referencia en el circuito MOS en función de la tensión de alimentación.

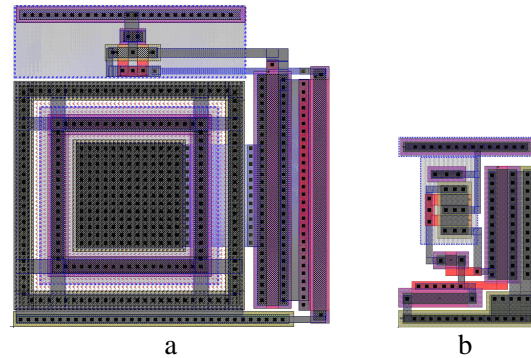


Fig. 8: Layout del circuito de referencia de tensión: a) con transistor bipolar b) con transistores MOS

IV. CONCLUSIONES

En el circuito con BJT las características del transistor bipolar disponible en la tecnología influyen directamente tanto en el valor de la tensión de referencia como en el área de silicio ocupada, de esta manera para circuitos de bajo consumo (corrientes del orden del μA) el valor de la tensión de referencia está limitado a tensiones menores a 100mV, su independencia de la alimentación, para variaciones de la misma en $\pm 20\%$ se acota en $\pm 17\%$. Para obtener valores de tensión de referencia mayores el consumo aumenta considerablemente llegando a valores de corriente inadmisibles si bien se disminuye la dependencia de la alimentación y el área ocupada no aumenta considerablemente.

Cuando el circuito realizado íntegramente con transistores MOS es diseñado para obtener tensiones del orden o mayores que la tensión umbral de los transistores, el consumo es mínimo ya que la corriente se mantiene en valores menores a $1\mu\text{A}$. La tensión de referencia obtenida tiene gran independencia de la alimentación, ya que se acota en $\pm 1,8\%$ para variaciones de la misma del $\pm 20\%$. Si se diseña para obtener tensiones de referencia menores a la mitad de la tensión umbral el nivel de consumo puede mantenerse bajo pero el tamaño del área de silicio ocupado aumenta en forma considerable.

REFERENCIAS

- [1] María Isabel Schiavon, Daniel Crepaldo, Raúl Lisandro Martín. "Referencia de tensión independiente de la alimentación". X Workshop IBERCHIP, Cartagena de Indias, Colombia, 2004.
- [2] Tsividis Yannis. "Operation and modeling of the MOS Transistor". McGraw Hill Book Co. 1987
- [3] María Isabel Schiavon, Raúl Lisandro Martín, Daniel Crepaldo, Federico Pacer. "Circuito de alimentación y acondicionamiento de señal para sistema identificador de ganado". II Congreso de Microelectrónica Aplicada, La Plata, Argentina, 2011.
- [4] R. R Harrison. "The MOS transistor in weak inversion". University of Utah, 2010.