

# Diseño de de una fuente de corriente programable

Leandro Sebastián Sánchez, Martín Di Federico, Alejandro Oliva  
 Departamento de Ingeniería Eléctrica y de Computadoras Universidad Nacional del Sur  
 Bahía Blanca, Argentina  
 Sanleo3@gmail.com

**Resumen**—En este documento se muestra el diseño de una fuente de corriente, en configuración espejo simple apareado controlada por registro serie. Para controlar la fuente de corriente se utiliza una cadena de registros de 5 bits, con el objetivo de activar los diferentes transistores de la fuente y así obtener una corriente específica dependiendo del valor seleccionado de los bits. Una vez diseñado se pretende la realización física de chip, para poder ser testeado, evaluar su desempeño, y además, que otros alumnos tengan la oportunidad de utilizarlo para fines educativos.

Palabras Claves— Fuentes, Espejo, Registro serie, Transistor.

## I. INTRODUCCIÓN

EL objetivo del trabajo es la realización de un circuito integrado para aprender conceptos de diseño de circuitos analógicos en chip. Cabe destacar que se detallará solo una configuración, explicando el diseño de espejos de corriente, diseño de transistores considerando los defectos de fabricación y el concepto de apareamiento de transistores.

### I-A. Especificaciones de diseño

El espejo de corriente usa el principio de igualdad entre las tensiones entre el gate y el source, si los transistores MOS son idénticos, entonces sus corrientes serán iguales. La corriente  $i_I$  es la corriente de drain del transistor NMOS M1 que se obtiene por una fuente de corriente generada por los transistores PMOS M3 a M7, e  $i_O$  es la corriente de salida espejada en el transistor NMOS M2. Esta configuración se puede observar en la simulación de la Figura 5. Como  $V_{ds} = V_{gs}$  el transistor M1 se encuentra en saturación. La ecuación de la corriente que lo caracteriza es:

$$i_D = \frac{(\mu_o C_{ox} W)}{2L} (V_{GS} - V_T)^2 (1 + \lambda V_{DS})$$

$$0 < V_{GS} - V_T \leq V_{DS}$$

Asumiendo que  $V_{DS2} \leq V_{GS} - V_{T2}$  es mayor que  $V_{T2}$ , permite analizar M2 en saturación. La relación entre  $i_O$  con  $i_I$  es:

$$\frac{i_O}{i_I} = \frac{L_1 W_2}{W_1 L_2} \left( \frac{V_{GS} - V_{T2}}{V_{GS} - V_{T1}} \right)^2 \left( \frac{1 + \lambda V_{DS2}}{1 + \lambda V_{DS1}} \right) \quad (1)$$

En la Ecuación 1 hay tres efectos que causan que la fuente corriente difiera de la situación ideal: modulación de largo de canal, diferencia en las tensiones de threshold, e imperfecciones geométricas entre los diferentes dispositivos. En este trabajo solo se considera la modulación por largo de canal, y las imperfecciones geométricas.

Asumiendo que todos los demás aspectos son ideales, y que la relación de tamaño de los transistores es unitaria, la Ecuación 1 se simplifica:

$$\frac{i_O}{i_I} = \left( \frac{1 + \lambda V_{DS2}}{1 + \lambda V_{DS1}} \right) \quad (2)$$

Donde  $\lambda$  es el mismo para los dos transistores. La Ecuación 2 muestra que las diferencias entre las tensiones drain-source de los transistores produce una desviación en la idealidad buscada cuando se espeja la corriente.

Por otro lado, debido a los procesos de fabricación de un circuito integrado, como las diferencias en las máscaras, la fotolitografía, el etch (grabado), y los errores o imperfección en la difusión; las relaciones de ancho y largo no son las ideales. Estas variaciones pueden ser diferentes de un transistor a otro. Una forma de evitar estos efectos es hacer que las dimensiones sean mucho mayor a la variación típica especificada. En este caso, con una tecnología de  $0,5\mu\text{m}$ , para los transistores se utilizan anchos y largos mínimos de  $5,1\mu\text{m}$ ; esto hace que las diferencias de corriente producto de las diferencias geométricas entre transistores sean despreciables comparándolas con las diferencias de tensiones en drain-source. A su vez con el aumento del largo de canal se obtiene una menor variación de corriente para variaciones de tensión de drain, debido a que aumenta la tensión de Early.

Para los transistores M1 y M2 del espejo de corriente, se utilizan 12 transistores de  $0,5\mu\text{m}$  en paralelo. De modo que M1 esta compuesto de 12 transistores de  $5,1\mu\text{m}$  cada uno. Por lo tanto se busca que  $i_O/i_I = 1$ . Realizando simulaciones de variaciones en la tensión de salida,  $V_{out}$ , y en la tensión de referencia  $V_{ref}$ , se evalúan y analizan las diferentes corrientes posibles y resistencias de salida. La máxima corriente que se puede obtener en M2 es de 6.740 mA, cuando  $V_{ref}$  y  $V_{out}$  son 5V. Hay que observar que la resistencia de salida es mayor a medida que la tensión  $V_{out}$  aumenta, y que la tensión  $V_{ref}$  (o tensión entre gate y source) disminuye.

Como ejemplo de resistencia de salida se ve que para  $V_{ref} = 2,2V$ ,  $V_{out} = 4,5V$ , con una corriente  $I_{out} = 1,027mA$ ; la resistencia de salida es de  $242K\Omega$ .

Las fuentes de corriente se diseñan siguiendo el concepto de apareamiento de transistores CMOS, de esta manera las corrientes logradas en los espejos son más parecidas entre sí.

En la Figura 1 se muestra el diseño de los dos diferentes métodos de diseño, apareado y no apareado:

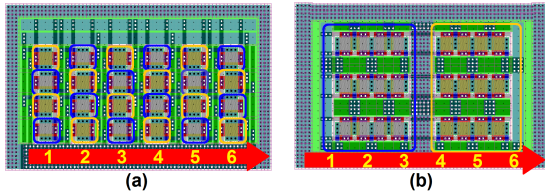


Figura 1. transistores apareados y no apareados

Cuando se utiliza el método de transistores apareados, las desventajas consisten en una mayor área de silicio ocupada debido a las interconexiones de los transistores en paralelo y mayor complejidad de diseño.

Si por ejemplo, el gradiente de capacidad del oxido  $C_{ox}$  del Gate, creciera en el sentido de las flechas como indican los números amarillos, podríamos ver que en el espejo de la derecha, (no apareados), el transistor total del recuadro azul tendría una capacidad de:

$$3(1 + 1,5 + 2 + 2,5)C_{ox} = 21C_{ox}$$

Mientras que el transistor del otro recuadro:

$$3(3,5 + 4 + 4,5 + 5)C_{ox} = 51C_{ox}$$

Sin embargo, para el espejo de transistores apareados, la sumatoria para los transistores de recuadro azul:

$$2(1 + 2 + 3 + 4 + 5 + 6)C_{ox} = 42C_{ox}$$

Y para el total de transistores de recuadro naranja:

$$2(1 + 2 + 3 + 4 + 5 + 6)C_{ox} = 42C_{ox}$$

Lo que demuestra que es muy importante, a la hora de diseñar transistores idénticos para espejos de corrientes, el posicionamiento general de los transistores.

### I-B. Fuente controlada de corriente

Para controlar la fuente de corriente se utiliza una cadena de registros de 5 bits, como se muestra en la Figura 2, con el objetivo de activar los diferentes transistores de la fuente y así obtener una corriente específica dependiendo del valor seleccionado de los bits. Cada salida de registro es seguida de un latch

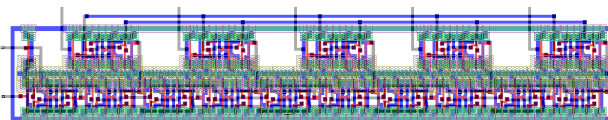


Figura 2. registro serie de 5 bits con latch e inversor de salida

para mantener el dato y un inversor para invertir el estado del bit, ya que en la fuente de corriente los transistores se habilitan con un cero lógico, enviando el gate del transistor CMOS de tipo N a tierra.

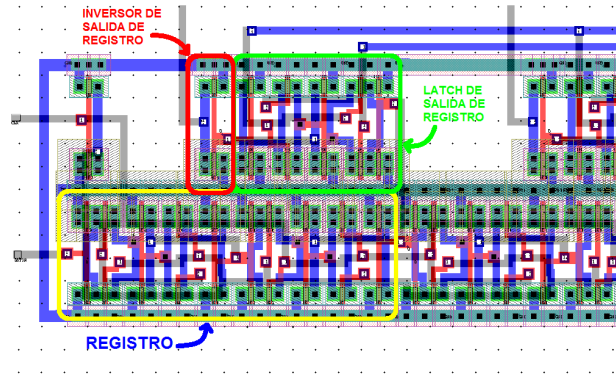


Figura 3. detalle de registro, latch e inversor de salida

Para la fuente de corriente, Figura 3, se utiliza una fuente de corriente de transistores apareados de tipo Nmos, y para la parte de transistores tipo P se diseñan transistores de  $5,1\mu\text{m}$  por  $5,1\mu\text{m}$ . Se dividen dependiendo los bits, para el bit 0 se utiliza un solo transistor. Para el siguiente bit se colocan dos transistores en paralelo. 4 transistores en paralelo para el bit 2 y así sucesivamente.

Cuando no hay ningún transistor habilitado, tenemos  $142\text{pA}$  y cuando se habilitan los 5 bits del arreglo, la corriente máxima alcanzada es de  $3,215\text{mA}$ .

En una tabla de corriente Vs. Bits se puede observar que la corriente no es lineal con respecto a la cantidad de transistores que se prenden, debido a que al aumentar la corriente total que circula por los transistores Pmos, también aumenta la corriente de los transistores Nmos del espejo de corriente, haciendo que la tensión  $V_{ds}$  de los Nmos aumente de  $412\text{mV}$  a  $3,5\text{V}$  cuando los 31 transistores se activan, cambiando el punto de operación de los mismos.

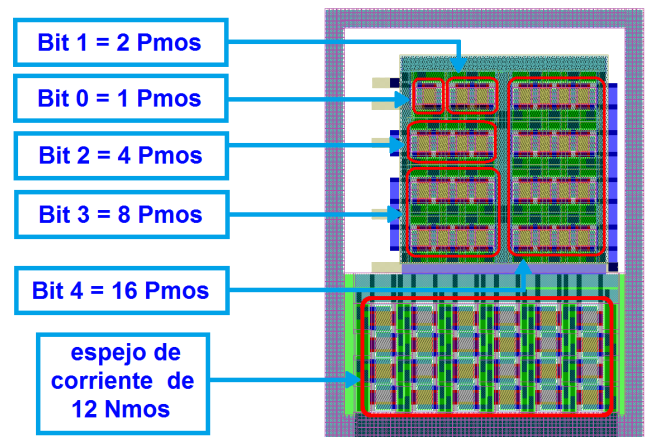


Figura 4. Layout completo de fuente controlada de corriente

Como estamos trabajando en la zona de triodo, el aumento de corriente no es lineal. A su vez los transistores del espejo de corriente de transistores Nmos son 12, lo que también condiciona el límite superior de corriente entregada por los 31 transistores Pmos.

A continuación se pueden observar algunas de las 32 diferentes configuraciones de transistores dependiendo de la selección de bits y las corrientes obtenidas:

Cuadro I  
BITS DE SELECCIÓN DE CORRIENTE VS. CORRIENTE DE SALIDA

N de reg.	BIT0	BIT1	BIT2	BIT3	BIT4	Iout
0	0	0	0	0	0	142pa
1	1	0	0	0	0	157 $\mu$ A
2	0	1	0	0	0	312 $\mu$ A
4	0	0	1	0	0	615 $\mu$ A
10	0	0	0	1	0	1.172mA
16	0	0	0	0	1	2.076mA
21	1	0	1	0	1	2.522mA
23	1	1	1	0	1	2.679mA
32	1	1	1	1	1	3.215mA

En la simulación de la Figura 5, se aplican pulsos en las fuentes de entrada de los bits de manera que en el primer segundo están todos los bits en 0, después en el segundo siguiente se habilita el primer bit, un segundo después el siguiente bit, y así sucesivamente hasta dejar los 31 transistores prendidos.

En la Figura 6, se puede observar aumento de tensión de Vds.

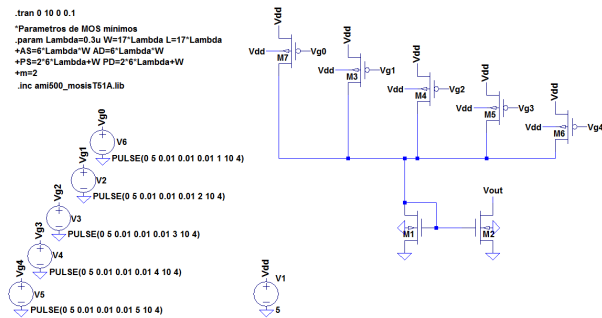


Figura 5. Simulación de entradas de registro serie a fuente controlada

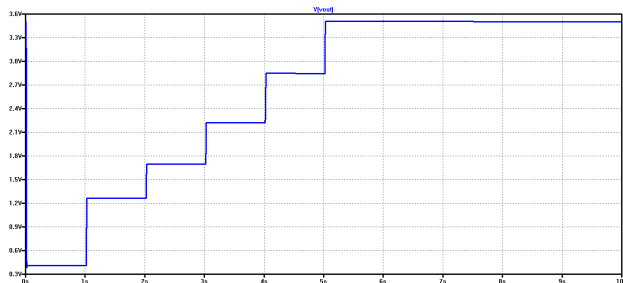


Figura 6. Tensión de salida Vds para diferentes Bits de entrada

Para mostrar la no linealidad del aumento de corriente, se detalla en la Figura 7, la caída de corriente en los transistores que ya están encendidos, al encender más.

En la Figura 8, se muestra el diseño completo de la fuente de corriente controlada por registro serie, se detallan las líneas de entrada de registro y la línea de clock, y el inversor de clock que se utiliza para el manejo de los latch de salida de los registros. Además se muestra el espacio que se dejó para la colocación de cadenas de inversores que aceleren el tiempo de activación de los transistores del espejo de corriente.

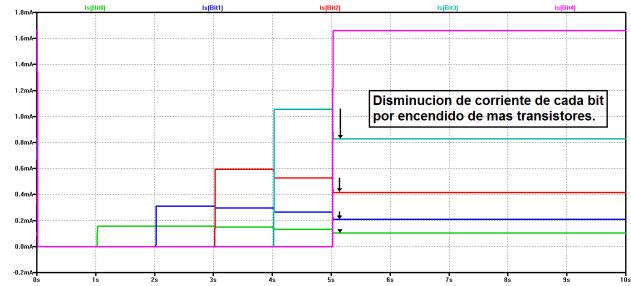


Figura 7. Detalle de caída de corriente (no lineal)

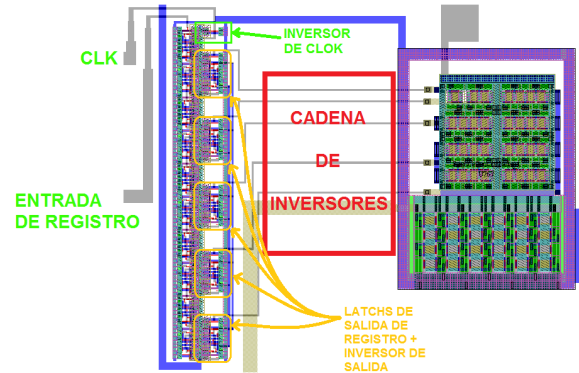


Figura 8. Fuente de corriente controlada por registro serie

## II. CONCLUSIÓN

El método de diseño para los transistores de los registros, (digital), es diferente al diseño de la parte analógica, ya sea desde la creación de un transistor hasta las dimensiones de las líneas de corriente. Por ejemplo se necesitó el diseño de transistores MOS de mayor tamaño, para un buen modelado analógico, y de esta manera, predecir con mayor exactitud como el circuito se va a comportar. Se aprendió el concepto de transistores apareados y su dificultad a la hora del diseño; y también las ventajas y desventajas de su elección al hacer espejos de corrientes.

Queda por hacer evaluación de las capacidades sería de gran importancia, como también la adición de cadenas de inversores a la salida de los latches de registros para acelerar el cambio de estado de la fuente controlada de corriente.

## REFERENCIAS

- [1] PHILLIP E. ALLEN, DOUGLAS R. HOLBERG. CMOS Analog Circuit Design. 1st ed. Oxford University Press©, New York, United States of America, 1987. ISBN-019-510720-9.
- [2] BEHZAD RAZAVI. Design of Analog CMOS Integrated Circuits. McGraw-Hill©, New York, United States of America, 2001. ISBN-0-07-238032-2.
- [3] R. T. HOWE AND C. G. SODINI. Microelectronics: an Integrated Approach. Prentice Hall, 1997.
- [4] JAEGER, RICHARD C. Introduction to Microelectronic Fabrication. New Jersey: Prentice Hall, 2001. ISBN 0-201-44494-7
- [5] MUHAMMAD H. RASHID. Microelectronic Circuits Analysis and Design. Boston: PWS Publishing Company, 1999.