

Dimensionamiento de Buffers

Alejandro Elían Dello Russo, Jorge Alberto Bellini, Martín Di Federico, Pedro Julian

Departamento de Ingeniería Eléctrica y de Computadoras

Universidad Nacional del Sur, Bahía Blanca, Buenos Aires, Argentina

Resumen— En este trabajo se analiza el dimensionamiento de transistores, para minimizar el tiempo de propagación (t_p) en buffers. El análisis presentado, se realiza en forma analítica y por simulación. Se utiliza tecnología ON C5N de 0,5 μ m.

Palabras claves-- Buffer, dimensionamiento, tiempo de propagación, inversor.

I. INTRODUCCIÓN

En la actualidad, muchos de los circuitos integrados (CI) deben manejar grandes capacidades de carga, lo cual genera restricciones adicionales en sus tiempos de trabajo. Para solucionar ésta problemática, es necesario encontrar alternativas que sirvan para trabajar con dichas cargas y disminuir los tiempos de transición. Una forma de encarar esta situación es hacer uso de los circuitos digitales denominados buffers, cuya característica principal es entregar mayor cantidad de corriente que cualquier compuerta convencional de tamaño mínimo; están compuestos por una cadena de inversores de distintos tamaños para lograr la corriente deseada de salida y los tiempos adecuados. Un ejemplo típico de ésta situación se presenta en la señal de reloj, ya que ésta se conecta a todas las compuertas sincrónicas que se hallan en un circuito integrado. Otro ejemplo se da en las conexiones de salida de los circuitos integrados, donde la capacidad que se debe manejar es mucho mas grande de las que se manejan dentro del CI.

El presente trabajo muestra un análisis de la cantidad mínima de inversores necesarios y sus dimensiones adecuadas para formar dichos buffers y optimizar el rendimiento de los CI.

II. ANÁLISIS ANALÍTICO

A. Transistores de tamaño mínimo.

El dimensionamiento de los transistores en circuitos CMOS es muy importante, ya que controla el tiempo de carga y descarga del capacitor conectado a su salida. El inversor de referencia se toma de tamaño mínimo, compuesto por una longitud de canal mínima para NMOS y PMOS, el ancho del NMOS $W_n = W_{min}$. La resistencia equivalente de este se toma como resistencia de referencia y es:

$$R_{ref} = \frac{\theta}{2,2 * \frac{\mu_n * C_{ox}}{W_{nmin}} / L_{min}} * V_{DD} \quad (1)$$

para que el inversor sea simétrico, el tiempo de trepada debe ser igual al de caída, el tamaño de W_p se calculará de forma tal que cumpla $R_p = R_n = R_{ref}$. Y como:

$$R_n = \frac{\sigma}{2,2 * K_n * V_{DD}} \quad R_p = \frac{\sigma}{2,2 * K_p * V_{DD}} \quad (2) \text{ y } (3)$$

se tiene que:

$$\frac{R_p}{R_n} = \frac{K_n}{K_p} = \frac{W_n}{W_p} = \frac{\mu_n}{\mu_p} \quad (4)$$

entonces W_p tiene que ser μ_n/μ_p veces mayor que W_n . Lo que produce que la capacidad del PMOS sea μ_n/μ_p veces mayor que el NMOS. La capacidad total de salida del inversor se tomara como referencia y es:

$$C_{ref} = C_N + C_p = C_N * \left(1 + \frac{\mu_n}{\mu_p}\right) \quad (5)$$

Como los tiempo son iguales, se llamará τ al tiempo de transición genérico:

$$\tau = t_f = t_r = 2,2 * R_{ref} * (C_{ref} + C_L) = \tau_{ref} * \left(1 + \frac{C_L}{C_{ref}}\right) \quad (6)$$

con

$$\tau_{ref} = 2,2 * R_{ref} * C_{ref} \quad (5) \quad (7)$$

B. Aumento de tamaño de transistores

Al introducir un factor de escala S para realizar el dimensionamiento, este solo afecta el ancho de los transistores dejando intacto el largo del canal, $L_n = L_p = L_{min}$. Y modificando los anchos como:

$$W_n = S * W_{nmin} \quad \text{y} \quad W_p = S * W_{pmin} \quad (8) \text{ y } (9)$$

Las ecuaciones de las resistencias dependen inversamente de K_n o K_p .

$$K_n = \frac{\mu_n * C_{ox} * W_n}{L_n} \quad \text{y} \quad K_p = \frac{\mu_p * C_{ox} * W_p}{L_p} \quad (10) \text{ y } (11)$$

Estos parámetros son linealmente dependientes de W_n y W_p con lo cual la resistencia equivalente disminuye al incrementar el ancho de los transistores.

La capacidad aumenta linealmente con el factor de escala "S" ya que aumenta el área del transistor linealmente.

$$R=R_N=R_P=\frac{R_{ref}}{S} \quad (12)$$

$$C=S*C_{ref} \quad (13)$$

Luego de estas modificaciones el tiempo de transición queda:

$$\tau=2,2*R*C*\left(1+\frac{C_L}{C}\right) \quad (14)$$

$$\tau=2,2*\frac{R_{ref}}{S}*S*C_{ref}*\left(1+\frac{C_L}{S*C_{ref}}\right) \quad (15)$$

$$\tau=2,2*R_{ref}*C_{ref}*\left(1+\frac{C_L}{S*C_{ref}}\right)=\tau_{ref}*\left(1+\frac{C_L}{S*C_{ref}}\right) \quad (16)$$

C. Cadenas de inversores para formar el Buffer

Cuando se trabaja con capacidades grandes manejadas por inversores de tamaño mínimo los tiempos de transición aumentan, es por eso que se deben implementar cadenas de inversores que van aumentando su tamaño, modificando los anchos de los mismos, de manera progresiva.

Se debe considerar el aumento de la capacidad propia del inversor con respecto a la etapa anterior, la relación de capacidad de entrada y salida de un inversor de tamaño mínimo es

$$C_{in}=\frac{1}{\gamma}*C_{ref} \quad (17)$$

donde el parámetro γ depende de la tecnología y su valor es aproximado a 1.

El tiempo se calcula mediante la siguiente ecuación

$$\tau=\tau_{ref}*\left(1+\frac{C_L}{\gamma*C_{ref}}\right)=\tau_{ref}*\left(1+\frac{f}{\gamma}\right) \quad (18)$$

donde f es el fan-out efectivo

$$f=\frac{C_L}{C_{in}} \quad (19)$$

que representa la relación entre las capacidades de salida y entrada de cada etapa.

Al tener una cadena de N inversores la primer capacidad es $C_{in,1}$ que es la capacidad de un inversor de tamaño mínimo y la N -ésima corresponde a la capacidad de carga $C_N=C_L$. El j -ésimo inversor tiene capacidad de entrada $C_{in,j}$ y de carga $C_{L,j}=C_{in,j+1}$ y el tiempo de transición entre cada inversor es

$$\tau_j=\tau_{(int)}*\left(1+\frac{f_j}{\gamma}\right)=\tau_{(int)}*\left(1+\frac{C_{in,j+1}}{\gamma*C_{in,j}}\right) \quad (20)$$

donde $\tau_{(int)}$ es el tiempo intrínseco de la compuerta.

El tiempo total de la cadena es la suma de los tiempos de cada etapa.

$$\tau_T=\sum_{j=1}^N \tau_j=\tau_{(int)}*\left(1+\frac{f_j}{\gamma}\right)=\tau_{(int)}*\left(1+\frac{C_{in,j+1}}{\gamma*C_{in,j}}\right) \quad (21)$$

III. FACTOR DE DIMENSIONAMIENTO CONSTANTE

Hasta aquí se planteó que el factor de dimensionamiento se lo denomina S , ahora se justificará porque éste debe ser constante para todas las etapas.

Para comenzar se hallan los valores de capacidad que hagan mínimo el tiempo de transición, para ello hay que plantear derivadas parciales de τ_T con respecto a las capacidades e igualarlas a cero

$$\frac{\partial \tau_T}{\partial C_{in,i}}=0 \quad \text{con } j=2,\dots,N-1 \quad (22)$$

y el resultado de esto es:

$$\frac{C_{in,j}}{C_{in,i-1}}=\frac{C_{in,j+1}}{C_{in,i}} \rightarrow f_j=f_{j+1} \quad (23)$$

el cual indica que el fan-out efectivo de cada etapa debe ser el mismo.

Por lo tanto el factor de escala entre etapas también debe ser el mismo. F es el fan-out efectivo entre entrada y salida de la cadena, y el individual puede calcularse como

$$f=\sqrt[N]{F} \quad (24)$$

IV. MÍNIMO NÚMERO DE ETAPAS

Para determinar el mínimo número de etapas hay que derivar el tiempo de transición total τ_T con respecto al número total de etapas N .

$$\frac{d\tau_T}{dN}=\tau_{(int)}*\left(1+\frac{\sqrt[N]{F}}{\gamma}\right)-\frac{N*\tau_{(int)}}{\gamma}*\ln F*\frac{\sqrt[N]{F}}{N^2} \quad (25)$$

la solución de esta es una ecuación trascendente

$$\gamma+\sqrt[N]{F}-\frac{\ln F*\sqrt[N]{F}}{N} \quad (26)$$

Al resolver por métodos de calculo numérico para un valor de $\gamma=1$ da que $f=3,6$. Este número no es correcto a la hora de implementarlo, es por eso que se aproxima a 4. Con estos datos se determina el número de etapas.

$$\tilde{N}=\frac{\ln F}{\ln 4}=0,72\ln F \quad (27)$$

mientras que el resultado teórico

$$N = \frac{\ln F}{\ln 3,6} = 0,78 \ln F \quad (28)$$

donde se ve que el resultado en la elección del número de etapas no varía mucho.

Ahora por medio de simulación se verifica este resultado.

V. RESULTADOS Y SIMULACIÓN

La simulación se realizó en el programa Tanner versión 13, con tecnología ON C5N corrida V25U. Las simulaciones se realizaron con circuitos desde 2 hasta 10 etapas, es decir diez inversores conectados en serie para lograr un buffer. Y los dimensionamientos en pasos de:

$$f=2, f=3, f=3,5, f=3,6, f=3,7, f=3,8, f=3,9, f=4 \text{ y } f=4,1$$

Para no sobrecargar con imágenes solo se visualizan los circuitos para los casos de dos y diez etapas, cada etapa es un inversor. La carga del circuito es un paralelo entre una resistencia de $1M\Omega$ en paralelo con una capacidad de $10pF$, la elección de éstos componentes es debido a que simula la punta de un osciloscopio. La señal de entrada la produce una fuente cuyos tiempos de trepada y de bajada son $60ps$, y antes de ingresar al buffer pasa por un inversor para simular que esta conectado a la salida de cualquier compuerta de tamaño mínimo.

La Figura 1 muestra el diseño de un buffer de dos etapas:

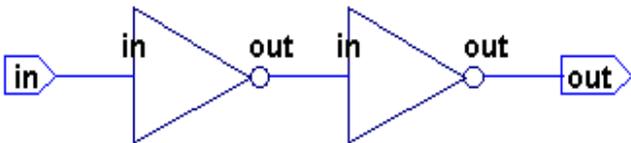


FIGURA 1: Buffer de dos etapas

La Figura 2 muestra el diseño de un buffer de diez etapas:



FIGURA 2: Buffer de diez etapas

Resultados obtenidos:

La tabla 1 muestra los resultados obtenidos de la simulación de buffers con distinto número de etapas y dimensionamiento, los tiempos se expresan en nano segundos.

TABLE I. RESULTADOS DE SIMULACIÓN

N	f=2	f=3	f=3.5	f=3.6	f=3.7	f=3.8	f=3.9	f=4	f=4.1
2	19,36	12,7	10,8	10,7	10,35	9,98	9,77	9,46	9,19
3	9,57	4,36	3,35	3,33	3,04	2,92	2,8n	2,71	2,62
4	4,91	1,89	1,47	1,47	1,37	1,34	1,31	1,27	1,25
5	2,78	1,16	1,04	1,04	1,03	1,02	1,02	1,02	1,03
6	1,8	1,04	1,07	1,07	1,09	1,10	1,12	1,13	1,15
7	1,35	1,08	1,16	1,15	1,20	1,21	1,24	1,26	1,28
8	1,21	1,21	1,33	1,33	1,38	1,41	1,44	1,46	1,49
9	1,17	1,32	1,47	1,47	1,53	1,56	1,59	1,61	1,65
10	1,23	1,48	1,66	1,66	1,73	1,76	1,79	1,83	1,86

Para analizar mejor la tabla 1, se puede observar la gráfica de la figura 3 que presenta los resultados de simulación para factor de escala 2, 3 y 4.

Tiempo de propagación en función de cantidad de etapas

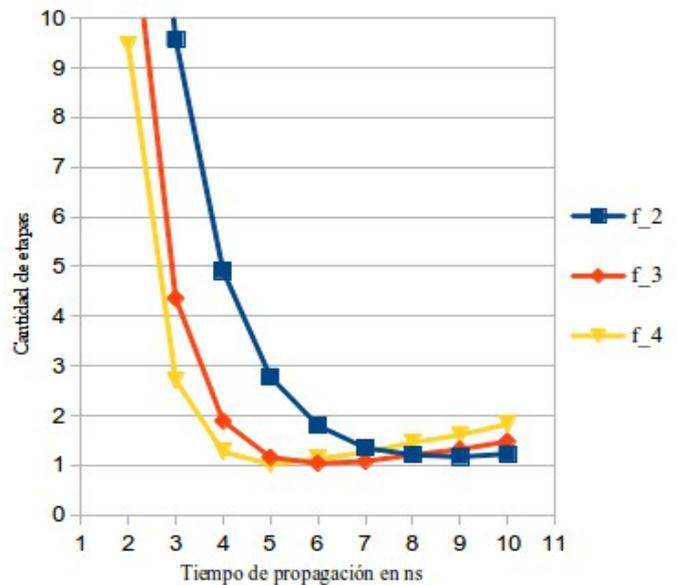


FIGURA 3: Tiempo de propagación vs cantidad de etapas

La figura 4 muestra los resultados obtenidos para todas las etapas con un factor de escala 3.7, 3.8, 3.9 y 4,1.

VI. CONCLUSIONES

En teoría se ve que el valor de f óptimo es 3,6. Mientras que en la simulación los valores van desde 3,8 a 4. En la práctica, llevar este valor a 4 es la mejor opción, y luego con este se calcula el número de etapas.

La simulación revela que estar por debajo o por encima del número óptimo de etapas hace que el tiempo de propagación no sea mínimo. En el caso de considerar un número de etapas superior al óptimo, no solo se gastará área de silicio de más sino que además el circuito es más lento de lo que debería ser.

REFERENCIAS

- **Active and Nonlinear Electronics**, Thomas schubert, Jr., Ernest Kim, Jhon Wiley and Sons 1996 (ISBN 0-471-57942-4)
- **Digital Integrated Circuits – A Desing Perspective**, Jan M. Rabaey, Anantha Chandrakasan, Borivoje Nikolic (ISBN 0-13-090996-3)

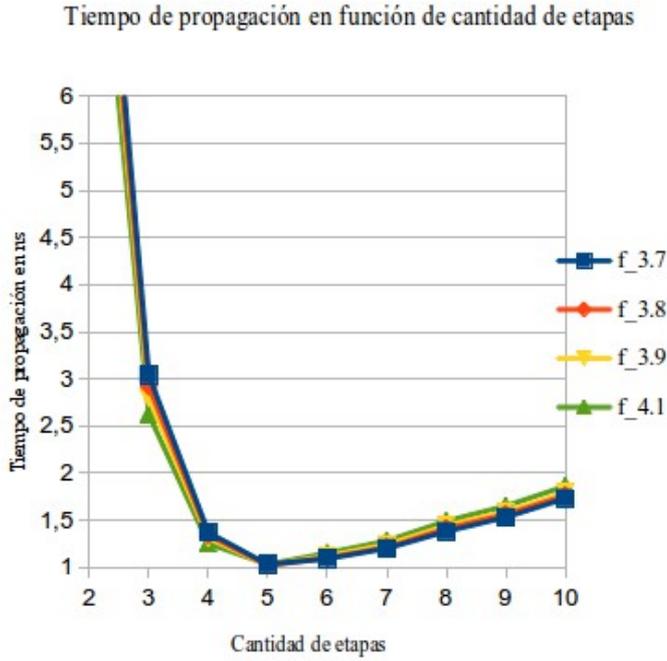


FIGURA 4: Tiempo de propagación vs cantidad de etapas

En los resultados obtenidos se observa que el número de etapas óptimo es 5. Analíticamente los cálculos dan:

$$N = \frac{\ln F}{\ln f} = \frac{8,05}{1,38} = 5,83 \quad (29)$$

Que da por encima de 5, se decir que al suponer $\gamma=1$ se introduce error y por eso se calculará éste parámetro en base a los resultados obtenidos. Para calcular cual es el γ de la tecnología, hay que tener capacidad de entrada y salida del inversor de tamaño mínimo

$$C_{in} = 2 * C_{GDn} + C_{GBn} + C_{GSn} + 2 * C_{GDp} + C_{GBp} + C_{GSp}$$

$$C_{in} = 3196,8 aF \quad (30)$$

y

$$C_{out} = 2 * C_{GDn} + C_{GBn} + 2 * C_{GDp} + C_{GBp}$$

$$C_{out} = 11436,6 aF \quad (31)$$

Ahora con la capacidad de salida del inversor de mínimo tamaño, el dimensionamiento y la cantidad de etapas, se calcula el parámetro γ

$$\gamma = \frac{\ln F * \sqrt[N]{F}}{N} - \sqrt[N]{F} = \left(\frac{\ln F}{N} - 1 \right) * \sqrt[N]{F} = 3,47 \quad (32)$$

Entonces con esto se concluye que la tecnología tiene este valor de γ .